



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

500.41253X00

Applicant(s): KAGOSHIMA, et al
Serial No.: 10 / 080,539
Filed: February 25, 2002
Title: APPARATUS AND METHOD FOR PRODUCING SEMICONDUCTORS

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

APRIL 26, 2002

Sir:

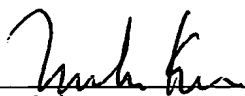
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001-384872
Filed: DECEMBER 18, 2001

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/rp
Attachment



W0165-01C6
日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年12月18日

出 願 番 号
Application Number:

特願2001-384872

[ST.10/C]:

[JP2001-384872]

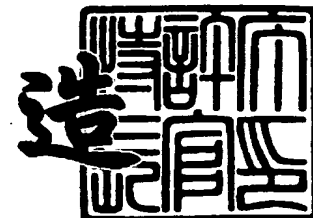
出 願 人
Applicant(s):

株式会社日立製作所
株式会社日立ハイテクノロジーズ
トレセンティテクノロジーズ株式会社

2002年 3月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3015760

【書類名】 特許願

【整理番号】 KS64

【提出日】 平成13年12月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302

【発明者】

 【住所又は居所】 山口県下松市大字東豊井 7 9 4 番地 株式会社 日立ハイテクノロジーズ 設計・製造統括本部 笠戸事業所内

 【氏名】 鹿子嶋 昭

【発明者】

 【住所又は居所】 山口県下松市大字東豊井 7 9 4 番地 株式会社 日立ハイテクノロジーズ 設計・製造統括本部 笠戸事業所内

 【氏名】 山本 秀之

【発明者】

 【住所又は居所】 茨城県ひたちなか市堀口 7 5 1 番地 トレセンティテクノロジーズ株式会社内

 【氏名】 鳥居 善三

【発明者】

 【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社 日立製作所 機械研究所内

 【氏名】 臼井 建人

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【特許出願人】

 【識別番号】 501387839

 【氏名又は名称】 株式会社 日立ハイテクノロジーズ

【特許出願人】

 【識別番号】 500495256

【氏名又は名称】 トレセンティテクノロジーズ株式会社

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体製造装置及び製造方法

【特許請求の範囲】

【請求項 1】 ウエハに形成される素子の形状あるいは寸法を測定する組み込み型計測手段と、

減圧下で生成されたプラズマを利用して前記ウエハをエッチング処理するエッチング処理装置と、

エッチング処理後の前記ウエハをアッシング処理するアッシング処理装置と、

エッチング処理後の前記ウエハを湿式処理する湿式処理装置と、

前記湿式処理を終えたウエハを乾燥するための乾燥処理装置と、

ウエハカセット搬入口に搬入された前記ウエハを前記組み込み型計測手段及び前記各処理装置に順次 1 枚ずつ搬送する搬送手段と、

前記組み込み型計測手段、エッチング処理装置、アッシング処理装置、湿式処理装置、乾燥処理装置及び搬送手段を減圧可能な搬送通路で接続するとともに、エッチング対象となるウエハを複数枚収納するカセットを搬入するためのウエハカセット搬入口を備えた搬送処理室からなることを特徴とする半導体製造装置。

【請求項 2】 請求項 1 の記載において、

前記組み込み型計測手段はウエハに照射した光の反射光のスペクトルをもとに前記ウエハの形状あるいは寸法を測定することを特徴とする半導体製造装置。

【請求項 3】 請求項 1 の記載において、

前記組み込み型計測手段はウエハに照射した光の反射光のスペクトル分布から素子の形状を推定することを特徴とする半導体製造装置。

【請求項 4】 請求項 1 の記載において、

前記搬送手段は前記ウエハカセット内に収納したウエハを順次 1 枚ずつ連続して前記組み込み型計測手段及び各処理装置に搬送することを特徴とする半導体製造装置。

【請求項 5】 請求項 1 の記載において、

前記搬送手段は前記ウエハカセット内に収納した一部のウエハの処理の終了後、前記ウエハカセット内に収納した残余のウエハを順次連続して前記組み込み型

計測手段及び各処理装置に搬送することを特徴とする半導体製造装置。

【請求項 6】 ウエハに形成される素子の形状あるいは寸法を測定する組み込み型計測手段と、

減圧下で生成されたプラズマを利用して前記ウエハをエッチング処理するエッチング処理手段と、

エッチング処理後の前記ウエハをアッシング処理するアッシング処理手段と、

エッチング処理後の前記ウエハを湿式処理する湿式処理手段と、

前記湿式処理を終えたウエハを乾燥するための乾燥処理手段と

ウエハカセット搬入口に搬入された前記ウエハを前記組み込み型計測手段及び前記各処理手段に順次搬送する搬送手段と、

前記組み込み型計測手段、エッチング処理手段、アッシング処理手段、湿式処理手段、乾燥処理手段及び搬送手段を減圧可能な搬送通路で接続するとともに、エッチング対象となるウエハを複数枚収納するカセットを搬入するためのウエハカセット搬入口を備えた搬送処理室からなり、

前記ウエハカセットに収容したウエハを前記搬送手段により前記組み込み型計測手段及び各処理手段に順次 1 枚ずつ搬送して処理することを特徴とする半導体製造方法。

【請求項 7】 請求項 6 の記載において、

前記搬送手段は前記ウエハカセット内に収納した一部のウエハの処理の終了後、前記ウエハカセット内に収納した残余のウエハを順次連続して前記組み込み型計測手段及び各処理装置に搬送することを特徴とする半導体製造方法。

【請求項 8】 請求項 6 の記載において、

前記組み込み型計測手段は搬入された処理前のウエハの形状あるいは寸法を測定し、該測定値をもとにエッチング処理手段を最適制御することを特徴とする半導体製造方法。

【請求項 9】 請求項 6 ないし請求項 7 の何れか 1 の記載において、

前記組み込み型計測手段は搬入された処理後のウエハの形状あるいは寸法を測定し、該測定値をもとにエッチング処理手段を最適制御することを特徴とする半導体製造方法。

【請求項 1 0】 請求項 6 ないし請求項 7 の何れか 1 の記載において、
前記組み込み型計測手段は搬入された処理前及び処理後のウエハの形状あるいは寸法を測定し、該測定値の差分をもとにエッチング処理手段を最適制御することを特徴とする半導体製造方法。

【請求項 1 1】 請求項 6 ないし請求項 7 の何れか 1 の記載において、
前記組み込み型計測手段は測定したウエハの形状あるいは寸法の測定値をもとにエッチング加工の継続または停止を判定することを特徴とする半導体製造方法。

【請求項 1 2】 請求項 6 ないし請求項 1 1 の何れか 1 の記載において、
搬送手段は、ウエハを湿式処理手段よりも先にアッシング処理手段に搬送することを特徴とする半導体製造方法。

【請求項 1 3】 請求項 6 ないし請求項 1 1 の何れか 1 の記載において、
搬送手段は、ウエハをアッシング処理手段よりも先に湿式処理手段に搬送することを特徴とする半導体製造方法。

【請求項 1 4】 請求項 7 の記載において、
前記組み込み型計測手段は前記一部のウエハの処理の終了後、終了したウエハの形状あるいは寸法を測定し、該測定値をもとにエッチング処理手段を最適制御することを特徴とする半導体製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体製造装置及び半導体製造方法に係り、特に半導体ウエハをエッチング処理するに好適な半導体製造装置及び半導体製造方法に関する。

【0 0 0 2】

【従来の技術】

図 6 は、従来の一般的なエッチング装置を示す模式図である。図において、1 はエッチング処理装置である。エッチング処理装置は減圧下で生成されたプラズマを利用して、試料（半導体ウエハ）のエッチング処理を行う。ここでは、前記試料は該試料上に形成したマスク・パターンに合わせて加工されることになる。

2はアッシング処理装置である。エッチング直後の試料はマスクが残っており、これをアッシング（灰化）処理して除去するのがアッシング処理装置である。3は試料搬送手段であり、試料カセット5に収納された試料を前記各処理装置に搬送する。4は半導体ウエハ等のエッチング対象となる試料、5は試料カセット、すなわち、エッチング対象となる半導体ウエハ等の試料を運搬するための治具である。試料カセットには25枚程度の試料を収納し、試料カセット単位でエッチング装置6に装填される。

【0003】

図中の動線Cは試料の搬送経路、すなわち試料が処理される順序の一例を示す。エッチング処理の終了した試料は試料カセット4に収納し、湿式（ウェット）処理装置などの次工程に搬送される。試料は、次いで寸法検査工程等の検査工程に搬送され、ここで初めてエッチング加工結果が分かることになる。

【0004】

図7は、前記従来のエッチング装置6の試料（半導体ウエハ）の処理を示す図（フローチャート及びタイムチャート）である。

【0005】

まず、ステップ1において、すなわちエッチング処理前にウエハの測定（寸法測定等）を行う。測定はロット単位（試料カセットに収納されたウエハ単位）あるいは一枚毎に行う。ステップ2において、前記試料カセット（FOUP (Front Opening Unified Pod)を含む、以下同じ）を搬送してエッチング装置6に装填する。ステップ3において、エッチング処理装置1及びアッシング処理装置2を用いて、エッチング処理及びアッシング処理を施す。この場合、試料カセットから試料を一枚ずつ取り出してエッチング処理装置1に搬送してエッチング処理を施す。エッチング処理装置1においてエッチング処理が終了した試料は、試料搬送手段3により一枚ずつアッシング処理装置2に搬送し、アッシング処理装置2においてアッシング処理を施す。次いでアッシング処理の終了した試料を試料カセット5に収納する。ステップ4において、前記試料を収納した試料カセット5を取り出し、図示しないウェット処理装置に搬送する。ステップ5において、ウェット処理装置によりウェット処理（例えばウェット処理によるサイドウォール

剥離処理)を施す。ステップ6において、試料を収納したカセットを図示しない測定装置に搬送し、ステップ7において、処理後の寸法測定を行う。

【0006】

【発明が解決しようとする課題】

図1に示すように、エッチング加工時に素子側面に保護膜が形成されるが、この膜厚はCD管理値に対して無視できない程度の大きさになる場合がある。したがって、エッチング装置にCD測定のための組み込み型計測手段(Integrated Metrology)を搭載しても、この保護膜による外乱で計測結果が左右され、精度のよいCD管理が困難となり、組み込み型計測手段からの結果が当該処理工程及びその他の処理工程のプロセス管理指標として意味の有る値とならず利用できない。

【0007】

さらに、図6に示すように、従来のエッチング装置においては、エッチング装置6内にエッチング処理装置1及びアッシング処理装置2をそれぞれ備え、試料はそれらの間を搬送手段により搬送されて移動する。

【0008】

また、各々の装置はロット処理が基本であり、試料カセットに収納されている試料の全数(ロット)を処理した後に次の処理工程に受け渡す。従って、各処理装置による処理は図7のタイムチャートのように、ロット単位で行われることになる。このため、最終工程であるステップ7(処理後測定工程)において不良が発見されたとしても、すでにそのロットのエッチング処理は終了しており、ロット内に多数の不良ウェハが発生している可能性があることになる。

【0009】

本発明は、このような問題点に鑑みてなされたもので、エッチング処理装置の組み込み型計測手段から得られる結果を、当該処理工程及びその他の処理工程のプロセス管理指標として利用できるようにすること、さらに、エッチング処理装置等の処理装置における処理不良を早期に発見して試料のロス及び処理時間のロスを低減することのできる半導体製造装置及び処理方法を提供する。

【0010】

【課題を解決するための手段】

本発明は、上記の課題を解決するために次のような手段を採用した。

【0011】

ウエハに形成される素子の形状あるいは寸法を測定する組み込み型計測手段と、減圧下で生成されたプラズマを利用して前記ウエハをエッチング処理するエッチング処理装置と、エッチング処理後の前記ウエハをアッシング処理するアッシング処理装置と、エッチング処理後の前記ウエハを湿式処理する湿式処理装置と、前記湿式処理を終えたウエハを乾燥するための乾燥処理装置と、ウエハカセット搬入口に搬入された前記ウエハを前記組み込み型計測手段及び前記各処理装置に順次1枚ずつ搬送する搬送手段と、前記組み込み型計測手段、エッチング処理装置、アッシング処理装置、湿式処理装置、乾燥処理装置及び搬送手段を減圧可能な搬送通路で接続するとともに、エッチング対象となるウエハを複数枚収納するカセットを搬入するためのウエハカセット搬入口を備えた搬送処理室からなる。

【0012】

【発明の実施の形態】

近年、半導体素子の高速化あるいは省電力化等を目的として、素子構造の微細化が進展している。また、素子の製造コストの低減のため、素子製造工程管理の高効率化、高精度化が加速的に進んでいる。

【0013】

また、素子製造工程におけるトランジスタの特性（動作点）管理は、通常トランジスタのゲート長（CD値）管理により行われている。例えば、ゲート長さ150nmにおいては、ゲートエッチングプロセスにおいて許容されるCD値ばらつきは5nm程度である。

【0014】

ところで、エッチングプロセスにおいては、素子形状（例えば、垂直性）確保のため、反応性ガス（例えば、 Cl_2 、 HBr ）に添加ガス（例えば、 O_2 、 CF 系ガス）を付加してエッチング処理を行っている。この添加ガスは、加工時の素子側面に膜（例えば、 Si と O を含む物質、 Si と C を含む物質）を形成して、素子側面への更なる加工が進行することを防止する側壁保護膜としての効果を

有する。しかしながら、添加ガスの条件によっては、形成される前記側壁保護膜は約1～5 nmにも及ぶことがあるため、エッチング加工後には除去することが必要である。また、前記保護膜は僅かな厚さであっても、保護膜内にエッチング中のC lやB r元素が存在している可能性があるため、洗浄工程により保護膜を剥離する必要がある。

【0015】

図1は、エッチング処理装置により形成される側壁保護膜を説明する図であり、図1(a)はエッチング処理前、図1(b)はエッチング処理後の試料(ウエハ)の形状を示す。

【0016】

図において、11はシリコン基板、12は下地膜、13は被エッチング材、14はレジストパターンにより形成されたマスクである。

【0017】

図1(a)の状態の基板に異方性エッチングを施すと、図1(b)に示すように前記マスク14で被覆されない被エッチング材のみがエッチング除去される。ここで15はエッチング加工時に被エッチング材側面に形成された前記側壁保護膜(サイドウォール)である。

【0018】

上述のように、側壁保護膜の厚み(1～5 nm)は、CD値の管理値に対して無視できない量である。従って、半導体素子製造工程におけるCD値管理に際しては、保護膜を無視することはできない。

【0019】

図2は、組み込み型計測手段の測定処理を説明する図である。図2では組み込み型計測手段として、光学的に測定を行う光散乱式測定器(Scatterometry(OC Dともいう))を例に説明する。

【0020】

この組み込み型計測手段は、試料上に設けた格子マークに、波長もしくは入射角をパラメータとして光を照射して反射率(スペクトル)を測定する。つぎに、予め理論計算によって作成しておいた特徴ライブラリと比較して一致度の良いラ

イブラリ波形を探索し、これにより格子マークの形状、寸法および下地膜等の膜厚を測定（推定）するものである。

【0021】

前記特徴ライブラリを作成するためには、一般にシミュレーション技術を利用する。このシミュレーションの入力情報としては、測定対象の予想される形状、膜の構造、それらの膜の光学定数（例えば、 n ：屈折率、 k ：消衰係数）を入力する。このため、測定対象となる試料の前記入力情報が取得できていない場合は、その測定対象に対する測定は不可能となる。

【0022】

従って、エッチング後に形成される前記側壁保護膜などの、その時々で精製される形状が不特定なもの、成分が不明な膜等についての測定は困難となる。このため、湿式（ウェット）処理等で不要な部分、すなわち前記側壁保護膜などを除去してから測定することが必要となる。

【0023】

なお、他の組み込み型計測手段としては、物質の原子間力を利用したAFM（Atomic Force Microscope：原子間力顕微鏡）等を用いることができる。しかしながら測定には時間を要するため、本発明のように処理工程中に測定を行う測定器としては実用的ではない。

【0024】

図3は、本発明の実施形態に係る半導体製造装置を示す模式図である。図において、101はエッチング処理装置である。エッチング処理装置は減圧下で生成されたプラズマを利用して、試料（半導体ウエハ）のエッチング処理を行う。ここでは、前記試料は該試料上に形成したマスクパターンに合わせて加工されることになる。102はアッシング処理装置である。エッチング直後の試料はマスクが残っており、これをアッシング（灰化）処理して除去するのがアッシング処理装置である。

【0025】

103は減圧可能な搬送通路103aを備えた試料搬送手段であり、試料カセット5に収納された試料を、前記減圧可能な搬送通路103aを介して外気に触

れることなく組み込み型計測手段及び各処理装置に搬送することができる。

【 0 0 2 6 】

1 0 7 は湿式（ウェット）処理装置である。湿式処理装置 1 0 7 は、試料のエッチング処理によって生じた腐食性物を除去し、エッチング処理後の試料の腐食を防止する。また、エッチング直後の試料は、前述のように被エッチング材の壁面に側壁保護膜（サイドウォール）が堆積することがある。このサイドウォールを除去するのも湿式処理の役割である。1 0 8 は乾燥処理装置であり、湿式処理室で処理を終えた試料を乾燥させる。

【 0 0 2 7 】

1 0 6 は組み込み型計測手段であり、例えば、前記エッチング処理装置 1 0 1 で行う処理の前後において試料上の微細な加工形状を測定する。測定に際して湿式処理装置 1 0 7 による処理終了後に試料を測定することにより、前記側壁保護膜の影響を受けることなく、正確な形状、膜厚を測定することができる。組み込み型計測手段 1 0 6 は常圧下または減圧下で動作することができる。従って、組み込み型計測手段 1 0 6 の実装位置は、常圧下に設置されているウエハアライメント機構部や大気搬送路の途中、または、減圧下のロードロック室や搬送経路の途中、もしくは前記各処理装置としてもよい。また、実装する方法としては、前記実装位置に組み込み型計測手段 1 0 6 を組み込む方法以外に、前記実装位置に石英窓等を配置し、その上部に組み込み型計測手段 1 0 6 を実装してもよい。

【 0 0 2 8 】

1 0 4 は半導体ウエハ等のエッチング対象となる試料、1 0 5 は試料カセット、すなわち、エッチング対象となる半導体ウエハ等の試料を運搬するための治具である。試料カセットには 2 5 枚程度の試料を収納し、試料カセット単位でエッチング装置 6 に装填される。なお、前記組み込み型計測手段 1 0 6 及び各処理装置と減圧可能な搬送通路 1 0 3 a 間にはロードロック室を設けることができる。また、湿式処理装置 1 0 7 と乾燥処理室間の搬送通路は前記減圧可能な搬送路を介することなく直接両者間を接続するとよい。

【 0 0 2 9 】

図中の動線 D は試料の搬送経路、すなわち試料が処理される順序の一例を示す

。統合処理装置 1 0 9 によるエッチング処理の終了した試料は試料カセット 1 0 4 に収納し、図示しない搬入口等を介して次工程に搬出される。

【 0 0 3 0 】

図 4 は、前記半導体製造装置 1 0 9 による統合処理（一貫処理）を説明する図である。前述のように、半導体製造装置は組み込み型計測手段、エッチング処理装置、アッシング処理装置、湿式（ウェット）処理装置、乾燥処理装置、及び試料搬送手段で構成される。また試料搬送手段は試料カセットに収納した試料（ウェハ）を 1 枚単位で組み込み型計測手段及び各処理装置に順次搬送する。

【 0 0 3 1 】

まず、前工程が終了した試料を収容した試料カセットを受け入れた後、ステップ 2 1 において、受け入れた試料の形状あるいは寸法を測定する。ステップ 2 2 においてエッチング処理を施す。このとき前記形状あるいは寸法測定値をもとにエッチング処理条件を制御（フィードフォワード制御）することにより前工程における処理のばらつきを補正することができる。あるいは、前工程が終了した試料を収容した試料カセットを受け入れた後、ステップ 2 1 を介さずに、ステップ 2 2 においてエッチング処理を施してもよい。さらに、このとき前工程以前の検査工程からの測定結果をもとにエッチング条件を制御（フィードフォワード制御）してもよい。

【 0 0 3 2 】

ステップ 2 3 において、アッシング処理を施し、エッチング直後の試料に残るマスク等を除去する。ステップ 2 4 において、湿式（ウェット）処理を施し、前記側壁保護膜を除去する。ステップ 2 5 において、乾燥処理を施す。ステップ 2 6 において、前記組み込み型計測手段を用いてエッチング処理後の形状あるいは寸法を測定する。ここで得られたエッチング処理後の形状あるいは寸法測定値と、前記ステップ 2 1 において得られた測定値との差分を取ることで、半導体製造装置によるエッチング処理量を検出することができる。また、エッチング処理後の形状あるいは寸法測定値あるいは前記差分は前記ステップ 2 2 におけるエッチング処理条件に帰還し、該条件を制御（フィードバック制御）する。このフィードバック制御によりエッチング処理条件の最適化を図ることができる。また

、エッチングによる加工結果の不良を検知したときは処理を停止することができる。

【 0 0 3 3 】

以上説明した処理（図の実線に示す順の処理）は、処理前測定→ エッチング処理→アッシング処理→ウェット処理 →処理後測定の順であるが、これとは異なり、処理前測定→ エッチング処理→ウェット処理 →アッシング処理→処理後測定の順（図の破線に示す順の処理）で処理を施すことができる。

【 0 0 3 4 】

この処理手順は、アッシングを先に行うと側壁保護膜が硬化して後続する湿式処理では前記保護膜を剥離できない場合に実施するとよい。なお、このとき湿式処理の後に乾燥処理を施してからアッシング処理を施すことができる。

【 0 0 3 5 】

図 5 は、半導体製造装置の試料（半導体ウエハ）毎の処理を説明する図（フローチャート及びタイムチャート）である。前述のように半導体製造装置は試料搬送手段を備え、該手段により試料カセット 5 に収納された試料を一枚ずつ、前記減圧可能な搬送通路 1 0 3 a を介して外気に触れることなく組み込み型計測手段及び各処理装置に搬送することができる。

【 0 0 3 6 】

まず、前工程の終了した試料を収納した試料カセット 1 0 5 を搬送して半導体製造装置 1 0 9 に装填する。ステップ 3 1 において、すなわちエッチング処理前に試料の測定（寸法測定等）を行う。測定は試料カセットに収納された試料を試料単位で連続して組み込み型計測手段に 1 0 6 に搬送し、該手段により一枚ずつ順に測定する。ステップ 3 2 において、測定の終了した試料を試料単位で連続してエッチング処理装置 1 0 1 に搬送し、エッチング処理装置 1 0 1 により一枚ずつエッチング処理を施す。さらに、エッチング処理の終了した試料を試料単位で連続してアッシング処理装置 1 0 2 に搬送し、アッシング処理装置 1 0 2 により一枚ずつアッシング処理を施す。ステップ 3 3 において、アッシング処理の終了した試料を試料単位で連続して湿式処理装置 1 0 8 に搬送し、湿式処理装置 1 0 8 により、一枚ずつ湿式処理を施す。

【0037】

ステップ34において、湿式処理の終了した試料は乾燥処理を施した後、試料単位で連続して組み込み型計測手段106に搬送し、組み込み型計測手段106により、一枚ずつ試料の形状あるいは寸法を測定する。以下この処理を1ロット分の試料が終了するまで繰り返す（ステップ35）。

【0038】

試料の処理は、図5に示すタイムチャートのように、試料1枚単位で行われる。このため、最終工程であるステップ34における「処理後測定」において不良が発見された場合、直ちにこの情報をエッチング装置にフィードバックすることにより、その時点でエッチングを停止させ、あるいはエッチング条件を変更することができる。従って、不良となる試料数を最小限にすることができる。（図5では5枚の試料に不具合の可能性があるが、それ以降の試料については、対処が可能である。）

さらに、このような処理システムでは、組み込み型計測手段と各装置間あるいは各装置間の搬送時間が短いため、1枚のみ先行して全工程（例えば、処理前測定→エッチング処理→アッシング処理→ウェット処理→処理後測定、あるいは、処理前測定→エッチング処理→ウェット処理→アッシング処理→処理後測定）を実行し、その結果を待ってから残りの試料を処理することが可能である。この場合、不良となる試料は最小限（先行して処理した1枚のみ）に済ませることができる。

【0039】

【発明の効果】

以上説明したように本発明によれば、エッチング処理装置の組み込み型計測手段から得られる結果を当該処理工程及びその他の処理工程のプロセス管理指標として利用できるようにすること、さらに、エッチング処理装置等の処理装置の処理不良を早期に発見して試料及び処理時間のロスを低減することのできる半導体製造装置及び処理方法を提供することができる。

【図面の簡単な説明】

【図1】

エッチング処理装置により形成される側壁保護膜を説明する図である。

【図 2】

組み込み型計測手段の測定処理を説明する図である。

【図 3】

本発明の実施形態に係る半導体製造装置を示す模式図である。

【図 4】

半導体製造装置による統合処理を説明する図である。

【図 5】

半導体製造装置の試料毎の処理を説明する図である。

【図 6】

従来の一般的なエッチング装置を示す模式図である。

【図 7】

試料（半導体ウエハ）の処理を示す図である。

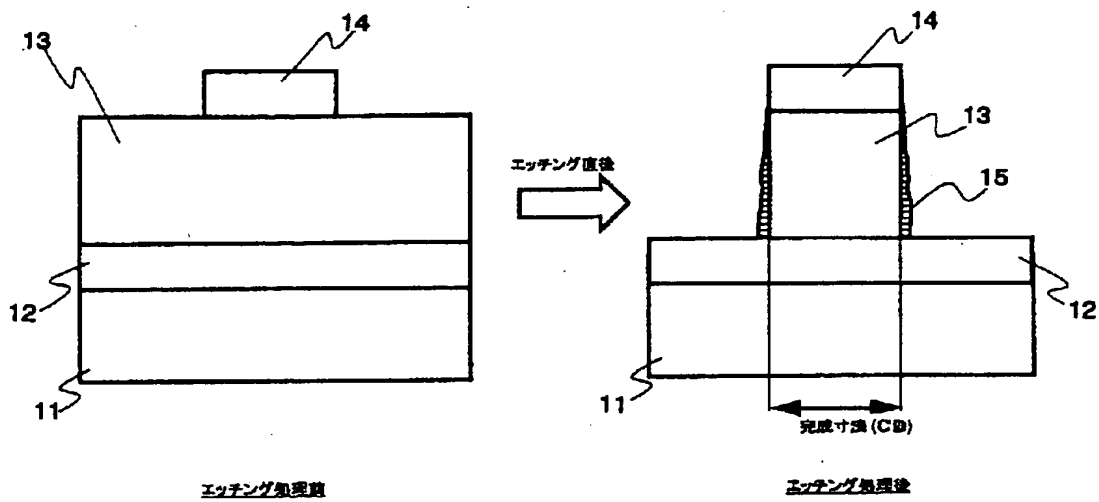
【符号の説明】

- 1 1 基板
- 1 2 下地幕
- 1 3 被エッチング材
- 1 4 マスク
- 1 5 側壁保護膜
- 1 0 1 エッチング処理装置
- 1 0 2 アッシング処理装置
- 1 0 3 搬送手段
- 1 0 3 a 搬送通路
- 1 0 4 試料
- 1 0 5 試料カセット
- 1 0 6 組み込み型計測手段
- 1 0 7 湿式処理装置
- 1 0 8 乾燥処理装置
- 1 0 9 半導体製造装置

【書類名】 図面

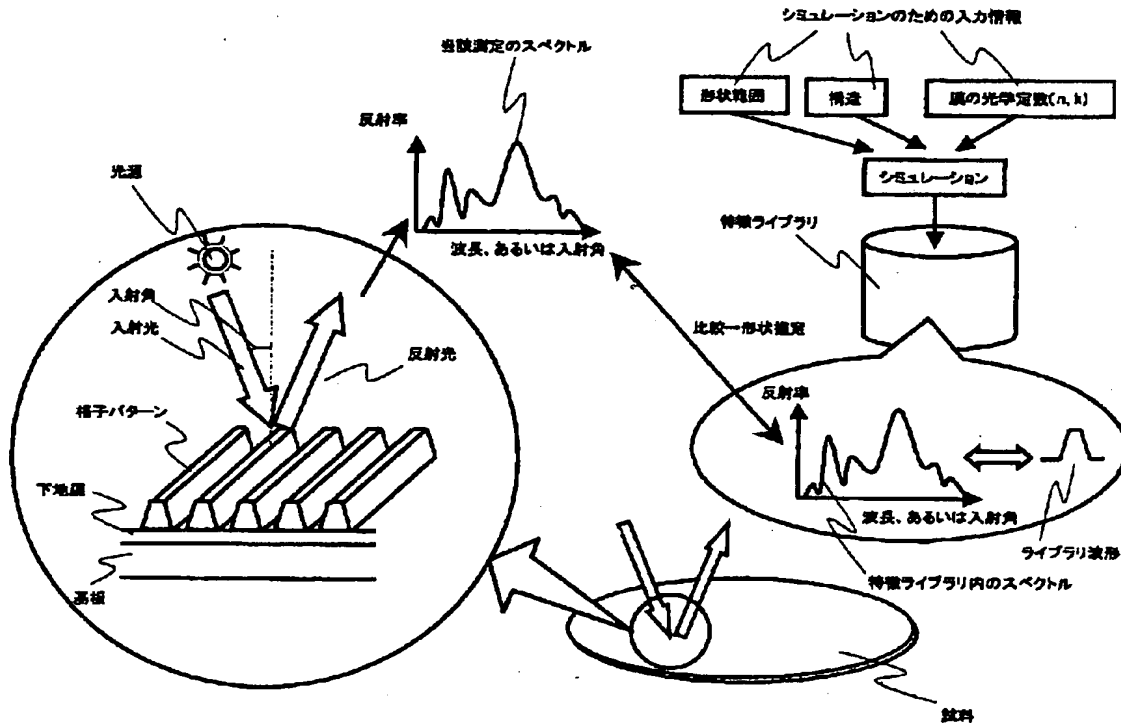
【図 1】

図 1



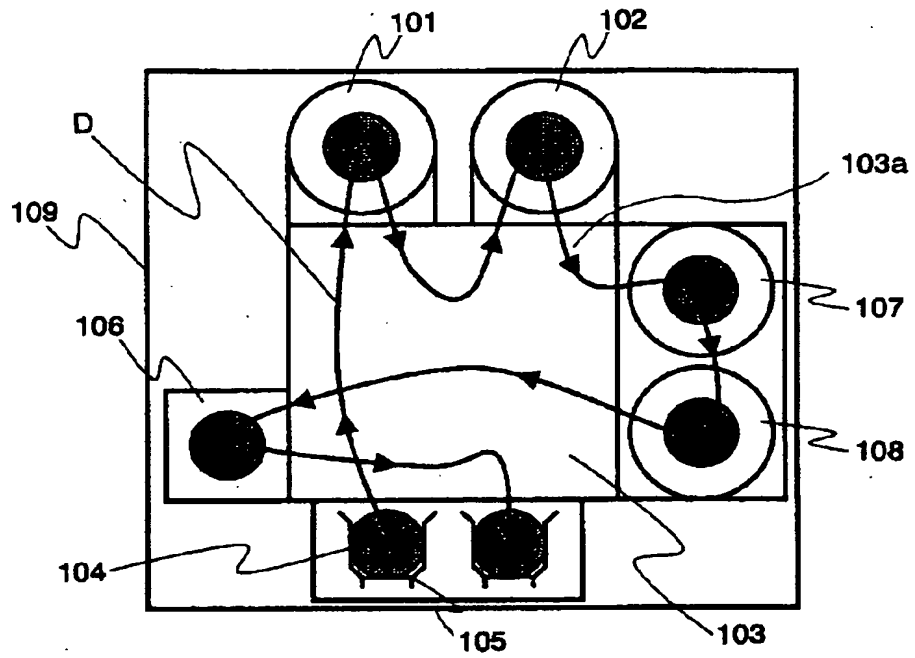
【図 2】

図 2



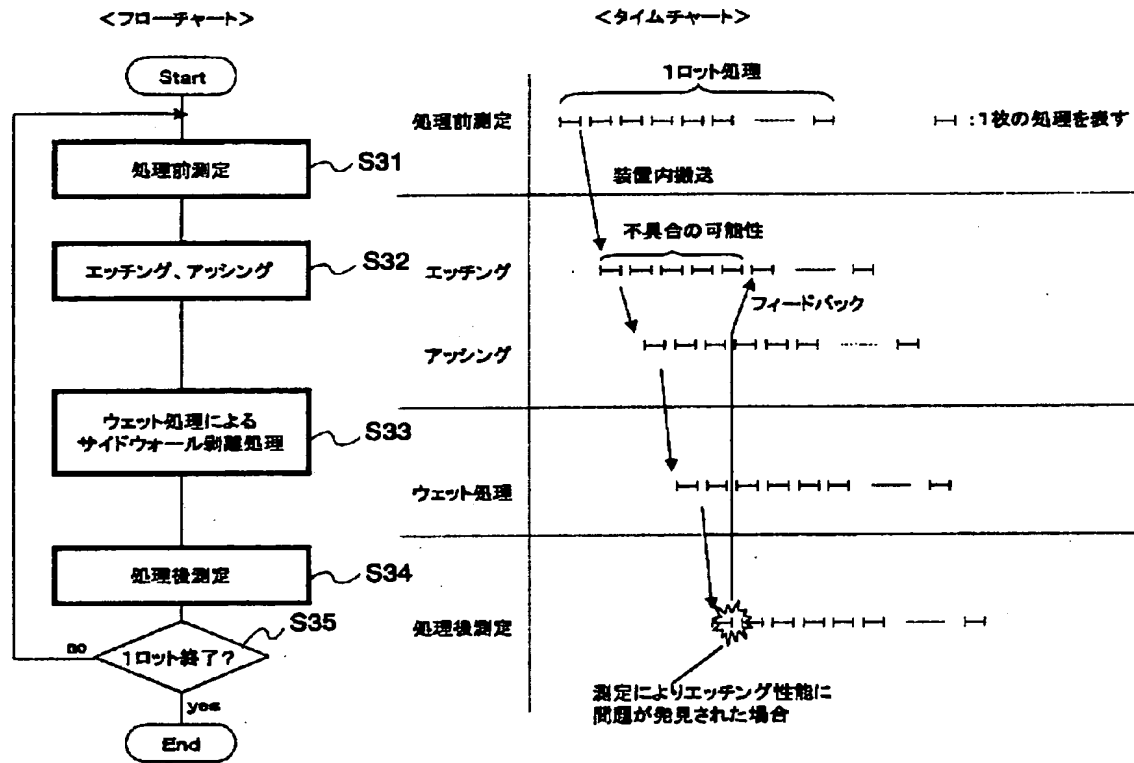
【図 3】

図 3



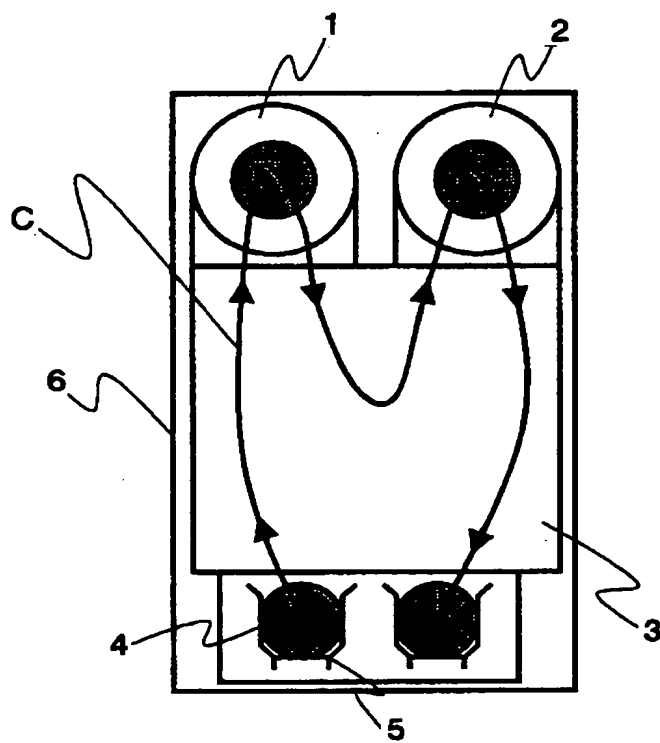
【図5】

図5



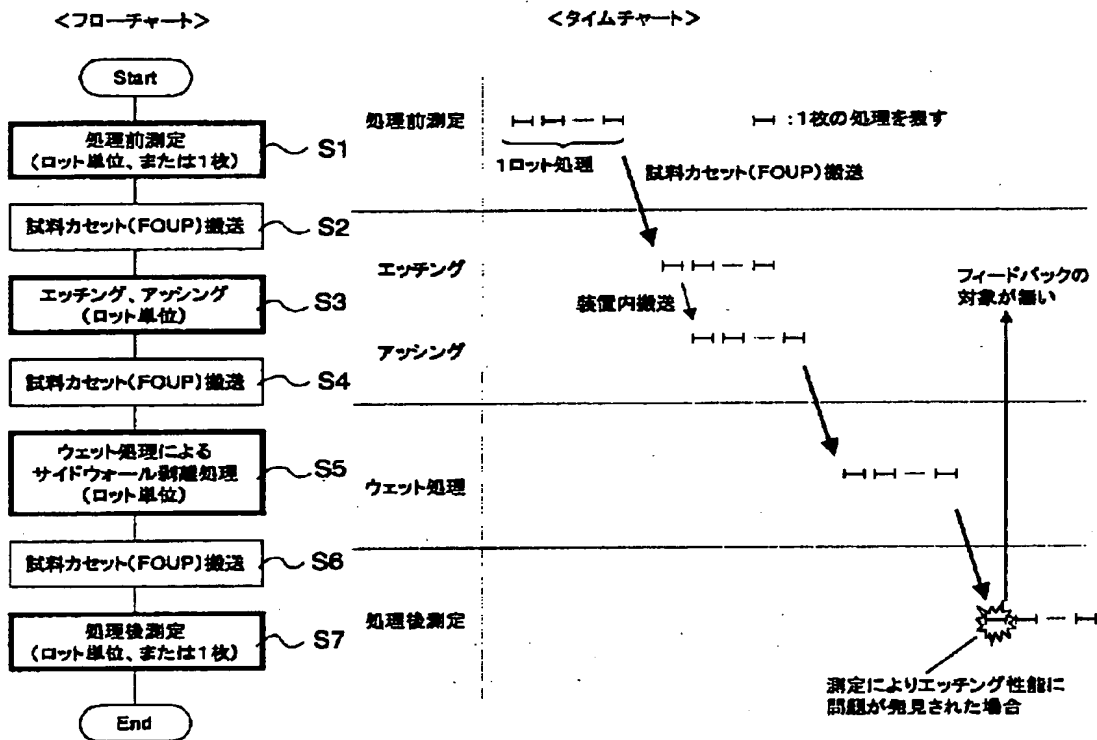
【図 6】

図 6



【図7】

図7



【書類名】

要約書

【要約】

【課題】 エッチング処理装置等の処理装置の処理不良を早期に発見して試料及び処理時間のロスを低減することのできる半導体製造装置を提供する。

【解決手段】 ウエハに形成される素子の形状あるいは寸法を測定する組み込み型計測手段 1 0 6 と、減圧下で生成されたプラズマを利用して前記ウエハをエッチング処理するエッチング処理装置 1 0 1 と、エッチング処理後の前記ウエハをアッシング処理するアッシング処理装置 1 0 2 と、エッチング処理後の前記ウエハを湿式処理する湿式処理装置 1 0 7 と、前記湿式処理を終えたウエハを乾燥するための乾燥処理装置 1 0 8 と、ウエハカセット搬入口に搬入された前記ウエハを前記組み込み型計測手段及び前記各処理装置に順次 1 枚ずつ搬送する搬送手段 1 0 3 と、前記組み込み型計測手段 1 0 6、エッチング処理装置 1 0 1、アッシング処理装置 1 0 2、湿式処理装置 1 0 7、乾燥処理装置 1 0 8 及び搬送手段を減圧可能な搬送通路 1 0 3 a で接続するとともに、エッチング対象となるウエハを複数枚収納するカセットを搬入するためのウエハカセット搬入口を備えた搬送処理室からなる。

【選択図】

図 3

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 入 履 歴 情 報

識別番号 [501387839]

1. 変更年月日 2001年10月 3日
[変更理由] 新規登録
住 所 東京都港区西新橋一丁目24番14号
氏 名 株式会社日立ハイテクノロジーズ

出 願 人 履 歴 情 報

識別番号 [500495256]

1. 変更年月日 2000年10月25日
[変更理由] 新規登録
住 所 茨城県ひたちなか市堀口751番地
氏 名 トレセンティテクノロジーズ株式会社